

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-075653

(43)Date of publication of application : 26.03.1993

(51)Int.Cl.

H04L 25/02

(21)Application number : 04-059053

(71)Applicant : SHAYE COMMUN LTD

(22)Date of filing : 12.02.1992

(72)Inventor : MCCABE DAVID JAMES

(30)Priority

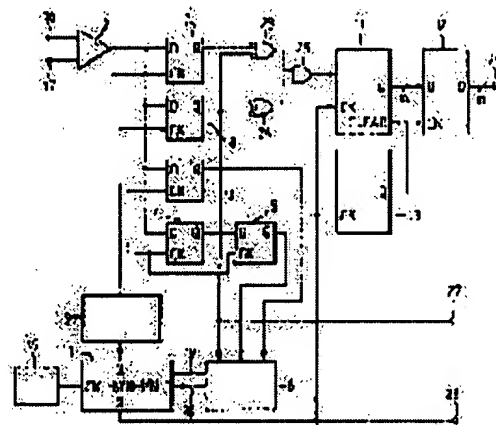
Priority number : 91 9102936 Priority date : 12.02.1991 Priority country : GB

(54) DIGITAL COMMUNICATION SYSTEM

(57)Abstract:

PURPOSE: To detect deterioration of the digital data communication system by taking many samples of a receive signal out at a reception end within cycles of respective bits.

CONSTITUTION: Flip-flops 4, 7, and 8 are used to take samples out of the digitized receive signal. Namely, the flip-flop 4 takes out the center sample of a bit indicating the center value of a bit, the flip-flop 7 takes out a precedent center sample taken out in synchronism before the center sample of the bit, and the flip-flop 8 takes out a following center sample extracted in a bit cycle behind the center sample of the bit. Gate circuits 23, 24, and 25 are used to analyze the three samples and output output signals 'good' or 'no good' as analytic results to a register 11. If one of the samples have a different value from other samples, it is judged that there is deterioration.



LEGAL STATUS

[Date of request for examination] 24.11.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3412160

[Date of registration] 28.03.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-75653

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl.⁵

H 0 4 L 25/02

識別記号

3 0 2 A

庁内整理番号

8226-5K

F I

技術表示箇所

審査請求 未請求 請求項の数15(全 7 頁)

(21)出願番号 特願平4-59053

(22)出願日 平成4年(1992)2月12日

(31)優先権主張番号 9 1 0 2 9 3 6, 3

(32)優先日 1991年2月12日

(33)優先権主張国 イギリス (GB)

(71)出願人 592057787

シェイ コミュニケーションズ リミテッ
ド

SHAYE COMMUNICATION
S LIMITED

イギリス国, ハンプシャー エスオー23
7ビーエイチ, ウィンチエスター, アンド
バーロード, 48-52番地, キャピタル
ハウス

(72)発明者 デビッド ジェイムス マツケイブ

イギリス国, ハンプシャー, ウィンチ
エスター, ペイジャー ファーム, ロ
ウデン クローズ 87番地

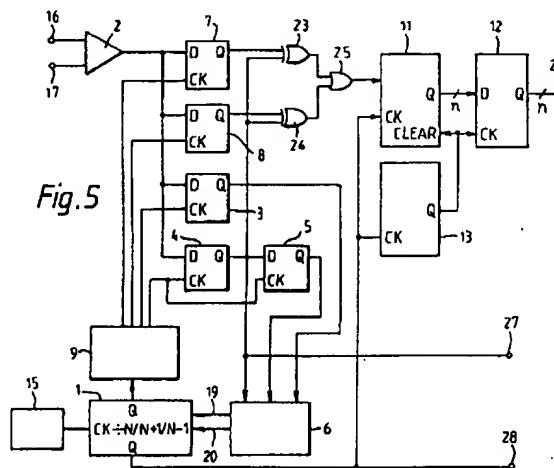
(74)代理人 弁理士 山本 恵一

(54)【発明の名称】 デジタル通信システム

(57)【要約】

【目的】 デジタルデータ通信システムにおける劣化を受信端において各ビットの周期内で受信信号の多数のサンプルを取出すことにより検知することを目的とする。

【構成】 フリップフロップ (4, 7, 8) が次の様にデジタル化された受信信号から複数のサンプルを取出すため使用されている: フリップフロップ (4) はビットの中央の値を示すビットの中央のサンプルを; フリップフロップ (7) はビットの中央のサンプルの前方でビット同期で取出した前方の中央のサンプルを; フリップフロップ (8) はビットの中央のサンプルの後方でビット同期で取出した後方の中央のサンプルを取出す。ゲート回路 (23, 24, 25) が3つのサンプルを分析するため使用されており分析結果としてレジスタ11に“良好”または“不良”の出力信号を出力する。サンプルのいずれか1つが他のサンプルと異なる値を有していれば劣化があると判断される。



1

【特許請求の範囲】

【請求項1】 デジタル通信システムにおけるデータの劣化の検出法であり、前記の方法は過度なジッタが発生したかどうかを決めるため受信信号についてサンプルを取出すことと、このサンプルの値についてのいくつかの関数を利用することから成り、このジッタが存在するか否かは可能なデータの劣化のインジケーションとして使用されており、更に前記の方法は受信信号の各ビットに対し2つのサンプルを次の様に取出すことを特徴としている：

- 1) ビットのほぼ中央の位置での値を示すビットの中央のサンプル；
- 2) ビットの中央のサンプルの前方または後方のいずれかでビット周期内で取出した追加サンプル；前記の方法は更にジッタが存在するかどうかを決めるためビットの中央のサンプルと前記の追加サンプルの値とを比較することから成ることを特徴とする。

【請求項2】 再追加サンプルがビット周期内で取出されていることを特徴とする請求項1に記載の方法。

【請求項3】 前記追加サンプルと前記再追加サンプルの一方がビットの中央のサンプルの前方で取出されており、更に前記追加サンプルと前記再追加サンプルの他の一方がビットの中央のサンプルの後方で取出されていることを特徴とする請求項2に記載の方法。

【請求項4】 ジッタがあるかどうかを決めるため3つのサンプルの全ての値を互いに比較することから成る請求項2または3のいずれかに記載の方法。

【請求項5】 1つのサンプルの値が他の2つのサンプルと異なっていればジッタのあることを想定する請求項4に記載の方法。

【請求項6】 あるビットから次のビットへのトランジションの公称時間での値を示す受信信号のトランジションビットのサンプルを取出すことから更に成る上記請求項のいずれか1つに記載の方法。

【請求項7】 ビット周期を決めるため入力データ信号に同期したクロック信号を発生させることを含む上記請求項のいずれかに記載の方法。

【請求項8】 前記クロック信号の同期が前記トランジションビットのサンプルを現在のビットおよび前方のビットの中央のサンプルと比較することにより行われることを特徴とする請求項6と7に記載の方法。

【請求項9】 デジタル通信システムにおけるデータの劣化を検出するための装置であり、前記の装置にはこのシステムの受信端に過度なジッタが発生したかどうかを決めるため受信信号のサンプルを取出しこのサンプルの値のいくつかの関数を利用する装置があり、このジッタが存在するか否かは可能なデータの劣化のインジケーションとして使用しており、更に前記装置はビットのほぼ中央のサンプルを取出す1番目の装置と、ビットの中央のサンプルの前方または後方のいずれかの時間でビット

2

周期内に追加サンプルを取出す2番目の装置とを含んだ前記のサンプル取出し装置から成ることを特徴とし、更にジッタが存在するかどうかを決めるためビットの中央のサンプルと前記の追加サンプルとの値を比較する装置から成ることを特徴とする。

【請求項10】 前記サンプル取出し装置がビット周期内で再追加サンプルを取出す3番目の装置から更に構成され、前記比較装置はジッタが存在するかどうか決定するため3つの全てのサンプルを比較するように動作することを特徴とする請求項9に記載の装置。

【請求項11】 前記サンプルを取出す時間を制御するように動作するクロック装置から更に構成される請求項9または10のいずれかに記載の装置。

【請求項12】 受信データ信号でクロック信号を同期させるための同期装置から更に構成される請求項11に記載の装置。

【請求項13】 前記サンプル取出し装置の1部を構成する前記1番目の装置、2番目の装置、3番目の装置が適当な時間でサンプルを取出すため前記のクロック信号により制御されたゲート回路からそれぞれ成ることを特徴とする請求項11または12のいずれかに記載の装置。

【請求項14】 前記ゲート回路の出力が追加ゲート回路に加えられており、この追加ゲート回路はサンプル信号のいずれか1つが他の1つまたは複数のサンプル信号と異なるかどうか決定するため、このサンプル信号に論理的な操作を行うことを特徴とする請求項13に記載の装置。

【請求項15】 前記サンプル取出し装置に応用するため受信アナログデータ信号をデジタル信号に変換するスライス回路から更に構成される請求項9から14のいずれか1つに記載の装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はデジタル通信システム、特にこのシステムにおけるデータの劣化を検出する方法とその装置に関する。この発明はコードレス電話の分野、特に新CT2型デジタルシステムへの応用が考えられるが、これらの応用には限定されない。

【0002】

【従来の技術】 デジタル通信システムにおいて、伝送システムの不完全性によりデータは例えばRFリンク上で妨害やフェージングにより劣化を生ずる場合がある。前述のような応用において、余分な情報を伝送し受信端で誤り検出と訂正の両方または一方を行うことができる。このような方法にはパリティチェック、巡回冗長符号等がある。しかし他の応用分野においては、このように情報を付加するために必要とされるデータ速度または伝送時間が増加することは実用向きでない。

【0003】

3

【発明が解決しようとする課題】この発明はこのような状況に関しており、特に帯域幅が制限されたデジタル通信システムにおいて誤り率を検出する方法およびその装置を与えるものである。この発明によると送信されるデータを少しも余分に必要とすることなくデータの完全性を実現することができる。データの劣化の始まりはしばしば予想できる、すなわちリンクの劣化の検出は、データが実際に劣化した状況と同じくデータが未だ正しく復元できる領域まで広げて行うことができる。

【0004】この発明が使用される特別な応用として、10 CT2型デジタルコードレス電話システムのRFリンクにおいて、デジタル化された音声を送信する場合がある。このシステムでは、誤り検出／訂正データを音声データに付け加えるのに必ずしも十分な帯域幅が使用できない。それ故、低い信号強度または妨害による悪い受信状態を検出し、ビット誤り率がかなり悪い時音声デコーダが発生する大きな雑音を使用者が受けることを防ぐ必要がある。

【0005】受信したRF信号強度をモニタすることは、通常無線の分野で劣化の始まりを予測することに使用されているが、しかしこの技術は先頭の信号の強度がかなり高く継続するような妨害信号の場合には劣化を検出することができない。更に信号強度とデータの劣化との相関はRFユニットの間で変化し予測が不正確となる場合がある。

【0006】雑音または妨害が帯域制限されたデータの流れに加わると、次の2つの事が生ずる。1番目はビットを復元した値が妨害される場合である。誤りのない検出データが送出され送信データが多値を有するならば、この劣化は通常検出できない。2番目はビットの値の間30 の伝送時間が通常的位置から変化することである(ジッタ)。この発明ではこのジッタを検出し、ビットの(可能な)劣化のインジケーションとして用いている。

【0007】ビット当たり入力信号について多数のサンプルを取り出し、これらのサンプルの値に対するいくつかの関数(例えば多数決判定)を用いて受信データビットの正しい値を決める同期回路が既に知られている。複数のサンプルの値を用いて自動的に利得を同期させる方法も既に知られている。

【0008】この発明の技術では入力ビット当たり多数40 のサンプルを取り出しており、これらのサンプルの値の関数をいくつか用いて存在するジッタが1以上のシュレッシュホールドを越えるか決定する。このジッタの存在と程度の両方または一方に対する単一のインジケーションを与え、またはこの発生回数と程度の両方または一方に対するインジケーションを周期的に与えることができる。これらのインジケーションは通信リンクの品質を定めることと劣化を検出するために使用されており、これにより訂正または防止の操作を行うことができる。

【0009】

4

【課題を解決するための手段】この発明の1番目の面によればデジタル通信システムにおけるデータの劣化を検出する方法が与えられており、前記の方法には過度なジッタが発生したかどうかを決めるため受信信号についてサンプルを取り出すことと、このサンプルの値についてのいくつかの関数を利用することから成り、このジッタが存在するか否かは可能なデータの劣化のインジケーションとして使用されており、更に前記の方法では受信信号の各ビットに対し2つのサンプルを次の様に取出すことを特徴としている：1) ビットのほぼ中央の位置での値を示すビットの中央のサンプル；2) ビットの中央のサンプルの前方または後方のいずれかでビットの周期内で取出した追加サンプル；前記の方法は更にジッタが存在するかどうかを決めるためビットの中央のサンプルと前記の追加サンプルの値とを比較することから成る。

【0010】この発明の2番目の面によれば、デジタル通信システムにおけるデータの劣化を検出する装置が与えられており、前記の装置にはこのシステムの受信端に過度なジッタが発生したかどうかを決めるため受信信号のサンプルを取り出し、このサンプルの値のいくつかの関数を利用する装置があり、このジッタが存在するか否かは可能なデータの劣化のインジケーションとして使用されており、更に前記装置はビットのほぼ中央の位置での値を示すビットの中央のサンプルを取り出す1番目の装置と、ビットの中央の前方または後方のいずれかの時間でビット周期内に追加サンプルを取り出す2番目の装置とを含んだ前記のサンプル取り出し装置から成ることを特徴とし、更にジッタが存在するかどうかを決めるためビットの中央のサンプルと前記の追加サンプルの値とを比較する装置から成ることを特徴とする。

【0011】取出したサンプルは受信アナログ波形のサンプルであり、このアナログ波形はスライスされ受信アナログ波形を表わす一連の0と1から成るデジタル波形を作る。これを以下に更に詳しく説明する。各ビットの長さはビット周期と呼ばれており、両方のサンプルはこの周期内で取出されている；しかし同期を取る目的から各ビットの端でトランジションのサンプルを取り出すことが好ましく、その値はあるビットから次のビットへの公称トランジション時間における信号の値を示している。このトランジションサンプルは受信信号とクロックを同期させるため、例えばビットの中央のサンプルと関連して使用されるが、この受信信号によりサンプル取り出し装置を制御するために使用されるクロック信号が与えられる。

【0012】この発明の好ましい実施例においては単一の追加ビットだけが使用されているが、各ビット内には次の2つの追加サンプルが取出される：1つはビットの中央のサンプルより前方にある前方中央サンプルで、他の1つはビットの中央のサンプルの後方にある後方中央サンプルである。データの劣化を検出するためこれらの

50

5

3つのサンプル（前方の中央、中央および後方の中央）の値は比較され、更にもし1つの値が他の2つの値と異なるならば劣化があると判断される。

【0013】更に2つの追加サンプルを取出すことも可能である。必須条件ではないが論理的な配置として、例えば3個の前方サンプルと3個の後方サンプルにより全部で6個の追加サンプルが与えられるように、ビットの中央の両側に追加サンプルを同数置くことができる。追加サンプルの全ては互いに離れており、ビット内に配置されビットの劣化の程度を検出する：例えばビットの中央のサンプルに近い前方中央サンプルが異なる値をとると、これによりビットの中央のサンプルから離れた前方中央サンプルの値の変化よりもビットの劣化が厳しいインジケーションとして取出される。このように追加サンプルの論理的分析によりビットの劣化の増加（または減少）のインジケーションを得ることができる。

【0014】

【実施例】以下図面に基づいてこの発明を更に詳しく説明する。図1aの上側には送信機に同期したオシロスコープ上に表われるような帯域制限されたデータと1ビット周期を示す。全ての可能なビット状態とトランジション状態が重ね合わされ、いわゆる“アイ”パターンを発生している。これをその平均レベルと比較すると下側に示すデジタル“スライス”信号が得られる。図1aはほぼ雑音がない状況を示している；図1bと図1cはそれに対応する図で徐々に多くの雑音加わった状態を示している。比較用スレッシュホールドが各ビット上で若干時間が異なって交差していることが判るがこれは瞬時の雑音電圧が異なるからであり、スライスされたデータにジッタが生じているからである。雑音が増加するとトランジション領域はビット内に入る。この発明でジッタの検出はトランジション時間の近くでスライスされたデータのサンプルを取出すことと、ビットの中央での値とこれらのサンプルを比較することにより行われる。これらのサンプルが異なれば、ジッタが存在していると判断される。

【0015】次にこの発明の実現に必要な回路を例としてデータリンクの受信端で必要な同期回路まで広げて述べる。図2はこのシステムの入出力信号を示している。入力アナログ信号(A)はその平均レベルと比較されスライスされたデジタル信号(B)を発生する。同期回路はこの信号から次のものを発生する：

a) リカバークロック信号(C)で、これには各入力ビットに対し周期があり、そのトランジションは入力データのトランジションの平均位置を追っている；
b) リタイムデータ信号(D)で、これには入力データと同じビットの流れがあるが、このトランジションはリカバークロックに同期している。

【0016】入力データ(B)とリタイムデータ(D)の間には、図に示すように必ず遅延がいくらかある。リ

6

カバークロック信号(C)とリタイムデータ信号(D)はデータ受信システムの後半の部分を通過するが、この後半の部分はこの出願に基づくものである。

【0017】周知の同期技術では各ビットの間に受信データのサンプルが2つ取出されている、1つはトランジションの中央においてであり、他の1つはトランジションの公称時間においてである。中央でのサンプルによりビットの値が与えられ、リタイムデータ信号を作成するのに使用されている。トランジション状態でのサンプルは前方および後方のビットの中央のサンプルと関連があるが、このサンプルはトランジション状態がその公称時間に対して早い遅いかを定めるために使用することができる。リカバークロック信号がデータのトランジションを追跡できるようにするため、早い場合と遅い場合とがありリカバークロックの発生を制御している。このシステムはそれ自体で調整でき、最初同期が正しくなくても入力データとリカバークロック信号との間に正しい関係を与えることができる。

【0018】図3には周知の技術を実施する典型的な回路を示している。分周器1は高周波マスタークロック15からの出力を(通常は)Nで分周することにより出力Qにリカバークロック信号を発生している。データが帯域制限された入力信号は入力端子16に加えられ一方の入力として比較器2に加えられている。比較器2への他の入力は端子17に加えられたシュレッシュホールドレベルから取出されている。比較器はアナログ入力データに対しスライス回路として働き、図2のBに示すようにデジタルデータ信号を発生する。比較器2の出力はフリップフロップのD入力に加えられている。リカバークロック信号はこのフリップフロップのクロック入力CKに加えられている。フリップフロップ4はリカバークロック信号の正側のエッジで比較器出力からサンプルを取出している。同期していればこれは入力ビットの中央で生ずる(図2参照)。このサンプルはフリップフロップ4からの出力であり、リタイムデータ信号を形成している。

【0019】フリップフロップ4からのQ出力は、更にフリップフロップ5のD入力に接続されているが、フリップフロップ4と5は共にシフトレジスタであり、フリップフロップ4は現在のビットの中央でデータの値を保持し、フリップフロップ5は前のビットの中央でデータの値を保持する。比較器2の出力もフリップフロップ3のD入力に加えられている。フリップフロップ3にはクロック信号が供給されているが、このクロック信号はインバータ18で反転されている。このようにフリップフロップ3は入力データ信号のデータビットの端に対応して(例えば公称トランジション時間)、リカバークロック信号のエッジで比較器出力のサンプルを取出す。このようにフリップフロップ3、4、5からの出力はそれぞれビットの端、ビットの中央、前のビットの中央でのサンプルを表わしている。これらのサンプルにより作られ

7

た信号はゲート回路 6 の各入力に加えられている。ゲート回路 6 はライン 1 9 と 2 0 の上に 3 つのデータサンプルからのアーリー (e a r l y) およびレイト (l a t e) インジケーションを示す各信号を発生するが、これらの 2 つの信号は分周器 1 を制御している。アーリーおよびレイト信号はこのカウンタの分周比を変えるために作られている。これらの信号は図示のように分周器 1 の $N-1$ (アーリー) および $N+1$ (レイト) 制御入力に加えられカウンタを制御している。もしレイトトランジションが発生していればカウンタは 1 周期の間に $N+1$ で分周される。これによりリカバークロックの次のエッジが通常時間に対し遅延され、入力データをトラッキングする。反対の動作はアーリートランジションの後に生ずる；カウンタは $N-1$ で分周されその出力エッジが進む。図 4 には入力アナログデータ信号に対する 3 つのサンプルの位置を示している。3 つのサンプルは中央に対しては M、端に対しては E、前方の中央に対しては P で示している。

【0020】この発明では少なくとも 1 つの特別なサンプルが各ビット周期の間に取出されている。図 6 に示す例では 2 つの特別なサンプル、すなわち前方の中央 (2 1 を参照) と後方の中央 (2 2 を参照) が各ビット周期の間に取出されている。これらの特別なサンプルはビットの中央のサンプルの直前および直後に置かれており、図示の例においてはビットの中央のサンプルから等しく置かれている。間隔の選択については後述する。これら 2 つのサンプルの値はビットの中央のサンプルの値と一緒に用いられビットの完全性が定められる。1 つのサンプルの値が他の 2 つのサンプルの値と異なるならばジッタによると考えられリンク劣化のインジケーションが生ずる。ジッタの程度またはこのインジケーションの発生の頻度はデータリンクの品質を定めるように用いられている。

【0021】上述のように雑音増加による劣化の場合、トランジション領域はビットの端から中央に向かって徐々に広がる (図 1) 。 2 つの新しいサンプルの間隔を適当に選択することにより、ジッタの検出はビットの値 (これはビットの中央のサンプルにより定まる) が反対にされる前に行われる。サンプルの位置はトランジション時間から十分離れた位置にある必要があるが、このトランジション時間は同期回路または伝送システムに固有な他の効果により生ずる系統的なジッタがスプリアスインジケーションを生じないものである。

【0022】妨害信号の場合にはジッタの検出がビットの劣化の前に行われるが、トランジション時間が通常乱されるように通常検出することを一般には保証できない。

【0023】図 5 にはこの発明の技術を実施するための回路を例示している。回路の殆んど部分は図 3 と同じであるので再度記載しない。前述のように入力アナログ

8

信号は比較器 2 によりスライスされる。比較器出力の 4 個のサンプルは各ビット周期の間 D 型フリップフロップ 3, 4, 7, 8 により取られ分周器 1 とデコーダ 9 により定められる。分周器 1 はビット周期の時間を定め高周波マスタークロック 1 5 の N サイクルに等しくなる。デコーダ 9 は新奇であるが、4 つのカウンタの値を選択し、その値のサンプルは各データビット内の適当な時間に対応して取出される。

【0024】フリップフロップ 5 が保持した前方ビットの中央のサンプルと共にビットのサンプルの端、すなわちビットの中央のサンプルはゲート回路 6 を有した同期回路に入力されるが、このゲート回路は分周器 1 の基数を変えるため “アーリー” および “レイト” 信号を発生するように動作し、図 3 のように同期を確立する。

【0025】前方中央サンプル 2 1 はフリップフロップ 7 の Q 出力に発生し排他的 OR ゲート 2 3 の入力の 1 つに加えられている。後方中央サンプル 2 2 はフリップフロップ 8 の Q 出力に発生し排他的 OR ゲート 2 4 の入力の 1 つに加えられている。ゲート 2 3 と 2 4 のそれぞれの他の入力はフリップフロップ 4 からビットの中央のサンプルの出力を受けている。ゲート 2 3 と 2 4 の出力は OR ゲート 2 5 の各入力に加えられている。

【0026】ゲート 2 3, 2 4 に対しては種々の可能性を取る入力があることが判る。次の 4 つの例により動作を説明する：

1) 中央、後方の中央、前方の中央のサンプルが全て論理的に 0 :

ゲート 2 3, 2 4 からの出力 = 論理的に 0

ゲート 2 5 からの出力 = 論理的に 0

2) 中央、後方の中央、前方の中央のサンプルが全て論理的に 1 :

ゲート 2 3, 2 4 からの出力 = 論理的に 0

ゲート 2 5 からの出力 = 論理的に 0

3) 中央のサンプルが論理的に 1、後方の中央、前方の中央のサンプルが共に論理的に 0 :

ゲート 2 3, 2 4 からの出力 = 1

ゲート 2 5 からの出力 = 1

4) 中央、後方の中央のサンプルが共に論理的に 1、前方の中央のサンプルが論理的に 0 :

ゲート 2 3 からの出力 = 1

ゲート 2 4 からの出力 = 0

ゲート 2 5 からの出力 = 1

【0027】ゲート 2 3 と 2 4 への入力が論理的に 0 または論理的に 1 であるかどうかは関係のあるサンプルの大きさによって決定されることは勿論である：このようにサンプルが全くないかまたは所定のスレッショルドよりレベルが低ければ、論理的に 0 と見なされる；同様にサンプルがスレッショルドレベルより高ければ、論理的に 1 と見なされる。

【0028】これを基に、上述の例 3 と例 4 はジッタの

9

インジケーションを与えると見なされるが、これはサンプルの1つが他の2つのサンプルと異なるからである。23から25のゲート回路はこれらの相違を検出し、ジッタが存在すると判断した時のみ論理的に1を出力する。この場合、ゲート25の出力を受けるバッド(bad)トランジションカウンタ11はビットの端で増加する。

【0029】カウンタ11はクロックがリカバークロック信号であり、追加カウンタ13のQ出力からの信号によりクリアされカウンタの内容が新しくなる。カウンタ13もまたクロックがリカバークロック信号であり、所定数のクロックビット数がカウントされてからカウンタ11をクリアするように動作する。このように所定数のビットの後にカウンタ11に保持されたカウント(周期の間バッドトランジションの数を示す)はカウンタ11のQ出力に接続されたレジスタ12にラッチされ、カウンタ11は他の測定のためクリアされる。レジスタ12の出力値は端子26で制御用プロセッサ(図示していない)により試験するため“バッドトランジションカウンタ”として利用できる。このサイクルは連続して繰返される。リタイムデータ信号とリカバークロック信号はそれぞれ端子27と28でレイター(later)回路(図示していない)により使用することができる。

【0030】図示のシステムにおいて、“中央”のサンプルの値は受信データの値として使用することができる(通常)。この代替として、“中央”、“前方の中央”、“後方の中央”について多数決判定を使用することができ、または“中央”および“中央”から離れた他の2つのサンプルについて多数決判定を使用することができる。サンプルを分析する方法は状況により変化するが、詳細な記載は省略する。

【図面の簡単な説明】

【図1a】図の上側は典型的な受信アナログデータ信号で、下側はスライス後の等価アナログデータ信号を示している。

10

【図1b】図の上側は典型的な受信アナログデータ信号で、下側はスライス後の等価アナログデータ信号で雑音が増えた影響を示している。

【図1c】図の上側は典型的な受信アナログデータ信号で、下側はスライス後の等価アナログデータ信号で雑音が増えた影響を示している。

【図2】典型的な周知の同期回路における入出力波形を示す一連の波形である。

【図3】周知の同期技術を実施する典型回路のブロックダイアグラムを示す。

【図4】入力のアナログ波形であり、周知の同期技術を実施するため使用したサンプル位置を示す。

【図5】図3と同様な図であるが、この発明の誤り検出システムを示す。

【図6】図4と同様な図であるが、この発明の誤り検出システムに使用したサンプルの位置を示す。

【符号の説明】

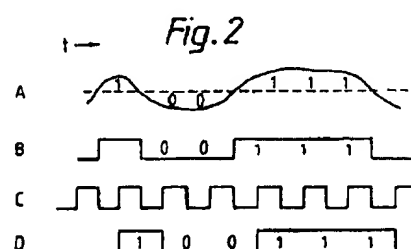
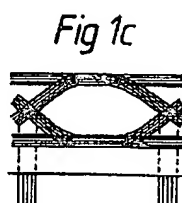
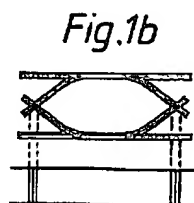
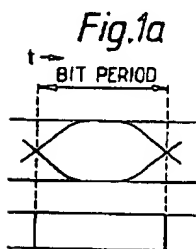
- 1 分周器
- 2 比較器
- 3, 4, 5, 7, 8 フリップフロップ
- 6 ゲート回路
- 9 デコーダ
- 11 バッドトランジションカウンタ
- 12 レジスタ
- 13 追加カウンタ
- 15 高周波マスタークロック
- 16 入力端子
- 17, 26, 27, 28 端子
- 18 インバータ
- 19, 20 ライン
- 21 前方中央ライン
- 22 後方中央ライン
- 23, 24 排他的ORゲート
- 25 ORゲート

【図1a】

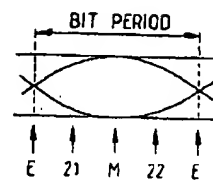
【図1b】

【図1c】

【図2】



【図 6】



【图 5】

